



DRW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

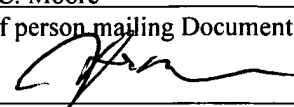
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:
Commissioner for Patents, P.O. Box 1450,
Alexandria, VA 22313-1450 on February 1, 2006

(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee


Signature

February 1, 2006

Date of Signature

Re: Application of: Ausserlechner
Serial No.: 10/733,961
Filed: December 11, 2003
For: Semiconductor Structure with Integrated Shield
Group Art Unit: 2815
Confirmation No.: 8740
Examiner: Edward Joseph Wojciechowicz
Our Docket No.: 1890-0019

SUBMISSION OF PRIORITY DOCUMENT

Please find for filing in connection with the above patent application a certified copy of the priority document, Certified Copy of German Application Number 102 57 870.2.

Please charge any fee deficiency or credit any overpayment to Deposit Account
No. 13-0014.

Respectfully submitted,

A handwritten signature in dark ink, appearing to read 'H. C. Moore', with a long horizontal flourish extending to the right.

February 1, 2006

Harold C. Moore
Registration No. 37,892
Maginot, Moore & Beck
Chase Tower
111 Monument Circle, Suite 3250
Indianapolis, IN 46204-5115

Enclosures



CERTIFIED COPY OF
PRIORITY DOCUMENT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 57 870.2

Anmeldetag: 11. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterstruktur mit einer integrierten Abschirmung

IPC: H 01 L 27/115

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Letang

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Patentanwälte · Postfach 710867 · 81458 München

Infineon Technologies AG
St.-Martin-Str. 53

D-81669 München
DE

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail: szsz_iplaw@t-online.de

Halbleiterstruktur mit einer integrierten Abschirmung

Beschreibung

Halbleiterstruktur mit einer integrierten Abschirmung

- 5 Die vorliegende Erfindung bezieht sich auf Halbleiterstrukturen, die ein Speicherelement aufweisen, das durch eine integrierte Abschirmung vor Störungen geschützt ist.

10 Mit steigender Packungsdichte von elektronischen Elementen, wie z. B. Transistoren, die auf einem Chip integriert sind, wächst die Bedeutung von effizienten Schutzmaßnahmen gegen elektromagnetische oder auch elektrostatische Störungen. Werden beispielsweise Speicherelemente mit Hilfe von Transistoren aufgebaut, so kann die gespeicherte Ladungsmenge unter
15 Umständen nicht mehr korrekt detektiert werden, wenn z.B. aufgrund eines elektrischen Störfeldes entweder der Betrag der gespeicherten Ladungsmenge oder auch deren Vorzeichen sich signifikant verändert haben. Dies ist insbesondere problematisch, falls zu einer permanenten Speicherung von
20 Daten EEPROMs verwendet werden (EEPROM = Electrically Erasable Programmable Read Only Memory), da eine EEPROM-Zelle besonders anfällig gegenüber äußeren Störfeldern ist.

25 Dem Prinzip nach ist eine EEPROM-Zelle ähnlich einem MOS-Transistor (MOS = Metal Oxid Semiconductor) aufgebaut. In Fig. 1 ist eine Prinzipskizze einer EEPROM-Zelle 100 dargestellt, wie sie aus dem Stand der Technik bekannt ist. Die EEPROM-Zelle zeichnet sich zunächst durch einen Steueranschluss 102, eine floatende Elektrode (Floating-Gate) 104,
30 einen Source-Anschluss 106, einen Drain-Anschluss 108 sowie einen Substrat- oder Bulk-Anschluss 110 aus. Zwischen dem Steueranschluss 102 und dem Floating-Gate 104 ist eine Einkoppelkapazität 112 wirksam, und zwischen dem Floating-Gate 104 und dem Bulk-Anschluss 110 ist die bekannte MOS-Kapazität
35 114 wirksam.

In Fig. 2 ist der Aufbau einer EEPROM-Zelle dargestellt, wie er aus dem Stand der Technik bekannt ist. In einem Substrat (Bulk) 116, z.B. einem p-Substrat (p-Bulk), ist ein n^+ Source-Bereich 118 und ein n^+ Drain-Bereich 120 gebildet. Zwischen dem n^+ Source-Bereich 118 und dem n^+ Drain-Bereich 120 ist ein Kanalbereich 122 gebildet. Auf einer Oberfläche 124 des Substrats 116 ist eine Dünnoxidschicht 126 gebildet, auf der das Floating-Gate 104 gebildet ist. Auf dem Floating-Gate ist eine Oxidschicht 128 gebildet, auf der wiederum eine Steuerelektrode 130 (Control-Gate = CG) gebildet ist, die mit dem Steueranschluss 102 verbunden ist. Der n^+ Source-Bereich 118 ist mit dem Source-Anschluss 106 verbunden, und der n^+ Drain-Bereich 120 ist mit dem Drain-Anschluss 108 verbunden. Das Substrat 116 ist an der der Oberfläche 124 gegenüberliegenden Oberfläche 132 mit dem Bulk-Anschluss 110 verbunden. Die Einkoppelkapazität 112 ist durch die Steuerelektrode 130, das Floating-Gate 104 und die sich dazwischen befindende Oxidschicht 128 gebildet. Die MOS-Kapazität 113 ist durch das Floating-Gate 104, die Dünnoxidschicht 126 und das Substrat 116 gebildet. In dem in Fig. 2 dargestellten Aufbau der EEPROM-Zelle handelt es sich um ein n-Typ-EEPROM. Die EEPROM-Zelle kann ebenso als p-Typ-EEPROM ausgebildet sein. In diesem Fall wäre das Substrat ein n-Substrat oder in dem p-Substrat 116 wäre eine n-Wanne (n-Well) gebildet, in der ein p^+ Source-Bereich und ein p^+ Drain-Bereich gebildet wären. In diesem Fall wäre das n-Substrat bzw. die n-Well der Bulk des p-Typ-EEPROM.

Der Unterschied zwischen der EEPROM-Zelle und einem MOS-Transistor liegt darin, dass bei der EEPROM-Zelle zwei Elektroden zum Steuern vorgesehen sind, das Floating-Gate 104 (FG) und die Steuerelektrode 130 (CG). Das Floating-Gate 104 liegt nur durch das dünne Oxid 126 getrennt direkt über dem MOS-Kanalbereich 122, der zwischen dem Source-Bereich 118 und dem Drain-Bereich 120 ausgebildet ist, und ist nicht mit weiteren Teilen der Schaltung elektrisch leitend verbunden, weswegen es elektrisch „floatend“ ist. Durch das weitere -

zumeist dickere - Oxid 128 ist die Steuerelektrode 130 von dem Floating-Gate 104 getrennt und mit dem Steueranschluss 102 verbunden. Von außen gesehen ähnelt die EEPROM-Zelle also einem MOS-Transistor mit Source-, Drain-, Bulk- und Gate-Anschlüssen. Insbesondere kann bei der EEPROM-Zelle wie bei dem MOS-Transistor eine effektive Threshold-Spannung (Schwellenspannung) $U_{th,eff}$ definiert werden. Bei einem n-Typ-EEPROM, was einem NMOS entspricht, muss die Steuerelektrode 130 mindestens um $U_{th,eff}$ über das Sourcepotential angehoben werden, damit der zwischen dem Drain-Bereich 128 und dem Source-Bereich 126 ausgebildete Kanal leitend wird.

Durch unterschiedliche physikalische Mechanismen, beispielsweise durch Fowler-Nordheim-Tunneln (FN) oder Hot Carrier Injection (HCI), kann an dem Floating-Gate 104 ein Überschuss oder auch ein Mangel an einer Nettoladung erzeugt werden. Dabei muss immer eine vergleichsweise hohe Spannung positiver oder negativer Polarität zwischen Steueranschluss 102 und dem Bulk-Anschluss 110 angelegt werden, wodurch die jeweils kleinste Informationseinheit (Bit) in Form dieser Nettoladung gespeichert wird oder nicht, wodurch beispielsweise eine logische „1“ oder eine logische „0“ realisiert werden kann. Es zeigt sich, dass nach diesem Programmiervorgang die veränderte Nettoladung an dem Floating-Gate 104 zu einer Änderung der effektiven Threshold-Spannung führt. Ist das Floating-Gate 104 ungeladen, so nennt man die dazugehörige effektive Threshold-Spannung UV-Level. Die Bezeichnung rührt daher, dass man einen ungeladenen Zustand erreichen kann, indem man das Floating-Gate der EEPROM-Zelle einige Minuten lang mit UV-Licht bestrahlt.

Wird an den Steueranschluss 102 anlässlich des Programmiervorgangs ein hohes positives Potential angelegt, so stellt sich an dem Floating-Gate 104 eine negative Nettoladung (Elektronenüberschuss) ein, sofern die Einkoppelkapazität 112 größer ist als die MOS-Kapazität 114, wovon im folgenden stets ausgegangen wird. Die effektive Threshold-Spannung wird

dadurch zu positiven Werten verschoben; sie ist also größer als der UV-Level. Wird bei dem Programmieren der Steueranschluss 102 auf stark negative Potentiale gegenüber dem Substrat 116 gelegt, so erzielt man an dem Floating-Gate 104 eine positive Nettoladung (Elektronenmangel) und die Threshold-Spannung wird kleiner als der UV-Level.

Im folgenden wird der Programmiervorgang an einem Beispiel des Fowler-Nordheim-Tunnel-Mechanismus erläutert, wie er aus dem Stand der Technik bekannt ist.

Wird an dem Steueranschluss 102 eine positive Spannungsrampe appliziert, so kommt es zunächst bei kleinen Spannungen zu einer Aufteilung der Spannung in zwei Teilspannungen, nämlich einer Spannung an der Einkoppelkapazität 112 (Einkoppelkondensator) und einer zweiten Spannung zwischen dem Floating-Gate 104 und dem MOS-Kanal bzw. Substrat 116, die an der MOS-Kapazität 114 abfällt. Gemäß den üblichen Regeln für kapazitive Spannungsteiler ist das Verhältnis der Einkoppelkapazität 112 zu der MOS-Kapazität 114 umgekehrt proportional zu einem Verhältnis der an diesen beiden Kapazitäten abfallenden Teilspannungen. Aus diesem Grund ist man bestrebt, die Einkoppelkapazität 112 wesentlich größer zu machen als die MOS-Kapazität 114, so dass ein möglichst großer Anteil der gesamten angelegten Spannung an dem Dünnoxid 126 der MOS-Kapazität 114 abfällt und dort das Fowler-Nordheim-Tunneln veranlasst. Konstruktiv wird dies erreicht, indem man die durch ein Layout definierten lateralen Abmessungen des Dünnoxids 126 kleiner macht als diejenigen des Oxids 130 zwischen der Steuerelektrode 130 und dem Floating-Gate 104. Wird also die an dem Steueranschluss 102 angelegte Spannung hochgerampt, so steigen die beiden Teilspannungen auch an, bis schließlich die größere Teilspannung - nämlich jene an dem Dünnoxid 126 - eine Feldstärke von beispielsweise ca. 8 MV/cm bis etwa 9 MV/cm erreicht. Dann beginnt das Fowler-Nordheim-Tunneln, d.h. es fließt ein kleiner Strom über das Dünnoxid 126 von dem Floating-Gate 104 zu dem MOS-Kanal bzw. Substrat 116. Die

Anstiegszeit der Spannungsrampe soll dabei so klein sein, dass diese Vorgänge quasi statisch ablaufen. Somit reicht ein kleiner Fowler-Nordheim-Tunnelstrom aus, um die Einkoppelkapazität 112 hinreichend schnell aufzuladen, so dass das
5 Potential an dem Floating-Gate 104 beispielsweise auf einem Wert von $U_m = 8 \dots 9 \text{ MV/cm} \cdot D$ stehen bleibt. Dabei bezeichnet D eine Dicke des Dünnoxids 126.

10 Beträgt eine maximale Programmierspannung schließlich U_p , so wird eine Differenz zwischen U_p und U_m an der Einkoppelkapazität 112 abgespeichert. Dies lässt sich wie folgt ausdrücken:

$$|U_p| - U_m = |U_c| = |Q(\text{FG})| \cdot C_c$$

15

Dabei bezeichnet $Q(\text{FG})$ die an dem Floating-Gate 104 gespeicherte Ladung und C_c den Wert der Einkoppelkapazität 112. Bei dem oben stehenden Ausdruck wurde der Einfachheit halber auf das Vorzeichen verzichtet, was sich in der betragsmäßigen
20 Fassung der an dem Floating-Gate 104 gespeicherten Ladung widerspiegelt. Die üblichen Anstiegszeiten der Spannungsrampen betragen dabei zwischen $100 \mu\text{s} \dots 10 \text{ ms}$.

25

Ist hingegen die Anstiegszeit des Programmierpulses kürzer, so reicht der kleine Fowler-Nordheim-Tunnelstrom nicht mehr aus, um die Einkoppelkapazität 112 hinreichend schnell aufzuladen, so dass die Spannung an dem Dünnoxid 126 über U_m ansteigt und das Dünnoxid 126 mehr als unbedingt nötig schädigt. Diese Vorschädigung äußert sich darin, dass das Floating-Gate 104 im Laufe der Zeit die Ladung verliert und es
30 somit zu einem Datenverlust kommt, was natürlich möglichst vermieden werden muss.

35

Zu einem Bitfehler kommt es, wenn beispielsweise hohe Spannungen an dem Dünnoxid 126 (auch als Gateoxid bezeichnet) der MOS-Kapazität 114 einen Ladezustand des Floating-Gate 104 ändern, wodurch sich beispielsweise das Vorzeichen der ge-

speicherten Ladung ändert. Oftmals ist es jedoch für einen Bitfehler schon ausreichend, wenn sich lediglich der Betrag der an dem Floating-Gate 104 gespeicherten Ladung hinreichend reduziert, ohne dass sich dabei das Vorzeichen ändert. Der Grund dafür ist, dass es in der Praxis schwierig ist, den exakten UV-Level als einen idealen Diskriminationswert zwischen der positiven und der negativen Ladung an dem Floating-Gate 104 an der Steuerelektrode 102 anzulegen. Einerseits variiert der Diskriminationswert mit der Temperatur, andererseits gibt es die in der Halbleitertechnik üblichen starken Schwankungen von Los zu Los, Scheibe zu Scheibe, Chip zu Chip und selbst noch innerhalb eines Chips in Abhängigkeit von einer Position des Speicherelements (Speicherzelle) in dem Chip.

In der Praxis kann es vorkommen, dass ein integrierter Schaltkreis (IC; IC = Integrated Circuit) einem hohen elektrischen Feld ausgesetzt wird. Dies ist insbesondere in einer elektrisch „rauen“ Umgebung der Fall, wie beispielsweise bei einem Einsatz in einem Automobil. In sicherheitsrelevanten Applikationen ist es dabei äußerst wichtig, dass der IC trotz widriger elektrischer Umgebung richtig funktioniert, insbesondere dass er dadurch nicht beschädigt wird. Für eine Funktion des IC sind oftmals jene Daten, die in der EEPROM-Zelle gespeichert sind, relevant. Als Beispiel stelle man sich einen integrierten Magnetfeldsensor vor, der in einem ABS-System (ABS = Antiblockierungssystem) ein Blockieren eines Rades detektieren soll und dessen Kalibrierdaten in einem EEPROM on-chip gespeichert sind. Kommt es durch einen elektrischen Feldpuls z.B. zu einem Verlust dieser Kalibrierdaten, so wird das Blockieren eines Rades andauernd oder in einem anderen Extremfall nie detektiert. Die Folgen einer derartigen Beschädigung wären unter Umständen dramatisch.

Besonders hohe elektrische Felder können bei ESD-Ereignissen (ESD = Electro Static Discharge) auftreten. Hier ist wiederum

jener Fall als „worst case“ anzusehen, bei dem sich die Entladung über ein Gehäuse auf den IC vollzieht. Dabei wird eine Spitze einer ESD-Pistole direkt an eine Oberfläche des IC gehalten und beispielsweise auf einige Kilovolt gegenüber Masse aufgeladen. Wird zugleich der IC an Masse gelegt, so kann sich ein ESD-Blitz über jenen Teil einer Vergussmasse des Gehäuses direkt unter der Spitze der ESD-Pistole entladen. Befindet sich in diesem Bereich auf der Oberfläche eines IC eine EEPROM-Zelle, so kann diese dadurch Schaden nehmen.

Im folgenden werden beispielhaft die Größenordnungen des Einflusses eines ESD-Ereignisses auf eine EEPROM-Zelle abgeschätzt.

Als Modell ersetze man die Spitze der ESD-Pistole und der ESD-Zelle durch eine kleine Kugel, da sich die Kapazität einer Kugelfunkenstrecke ohne allzu großen Aufwand analytisch wie folgt berechnen lässt:

$$C = \pi \epsilon_0 (2R + g) \sum_{p=1}^{\infty} \frac{1}{\sinh \left(p \operatorname{ar} \sinh \left(1 + \frac{g}{2R} \right) \right)}$$

Dabei bezeichnen R den Radius der Kugeln und g den Abstand ihrer zugewandten Oberflächen, ϵ_0 ist die elektrische Feldkonstante. Für dünne Gehäuse, insbesondere bei Magnetfeldsensoren, muss man $g = 0,15 \text{ mm}$ annehmen. Mit $\operatorname{arsinh}(\dots)$ ist die Arcussinushyperbolicusfunktion bezeichnet und p ist der Summenindex. In Abhängigkeit von dem Radius der Kugeln R ergeben sich aus der obigen Formel die folgenden Streukapazitäten:

R	C
100 nm	5,6 aF
1 μm	56 aF
10 μm	0,59 fF
100 μm	7,4 fF

1 mm

8,7 fF

In der Praxis ist natürlich die EEPROM-Zelle sehr klein (kleiner als 1 μm), die Spitze einer ESD-Diode oder die Fingerspitze eines Menschen hingegen verhältnismäßig groß (größer als 1 mm), so dass sich das obige Modell der Kugelfunkenstrecke mit zwei gleich großen Kugeln zu einer genauen Berechnung des Einflusses des ESD-Ereignisses auf eine EEPROM-Zelle nicht gut eignet. Nichts desto trotz kann man diese Modell zu einer „best-case“-Abschätzung heranziehen. Die Streukapazität zwischen der Fingerspitze und der EEPROM-Zelle ist sicher größer als jene zwischen zwei Kugeln mit 1 μm Radius, da die Fingerspitze wesentlich größer als 1 μm ist und laut der obigen Tabelle die Kapazität mit steigendem Radius ebenfalls steigt. Selbst diese kleine Streukapazität von 56 aF zwischen Fingerspitze und dem Floating-Gate bewirkt, dass bei einer angenommenen Einkoppelkapazität $C_c = 20 \text{ fF}$ bereits der $20/0,056 = 357$ -ste Teil der ESD-Spannung an dem Dünnoxid anliegt. Beispielsweise bei einem Wert der ESD-Spannung von 4,6 kV liegen somit 13 V an dem Dünnoxid an. Das ist für die in diesem Beispiel angenommene Dicke von 12 nm bereits für das FN-Tunneln ausreichend.

Aufgrund der oben beschriebenen Problematik ist es daher notwendig, das Floating-Gate 104 geeignet abzuschirmen. Dies kann beispielsweise dadurch realisiert werden, dass das Floating-Gate 104 vollständig durch die Steuerelektrode 130 abgedeckt wird, so dass das Floating-Gate 104 durch die Steuerelektrode 130 elektrisch geschirmt wird. Diese Schirmwirkung kann allerdings ungenügend sein, wenn die Steuerelektrode 130 nicht niederohmig genug mit dem Substrat 116 der EEPROM-Zelle verbunden ist. Angenommen, der IC wird durch eine Person, die sich elektrostatisch aufgeladen hat, berührt. Die Streukapazität zwischen der Fingerspitze dieser Person und der Steuerelektrode 130 hebt das Potential der Steuerelektrode 130 an, wenn die Steuerelektrode 130 nicht durch andere Schaltungsteile auf ein definiertes Potential

gebracht wird. Dieser Fall tritt insbesondere dann ein, wenn der IC nicht mit einer Spannung versorgt ist, denn dann sind die inneren Knoten einer MOS-Schaltung hochohmig, da keine ausreichenden Potentiale an den Gates der dazugehörigen MOS-Transistoren vorhanden sind, um diese leitfähig zu schalten. Die durch das Floating-Gate 104, die Oxidschicht 128 und die Steuerelektrode 130 gebildete Einkoppelkapazität 112 beeinflusst dann in einer weiteren Folge auch das Potential des Floating-Gate 104, so dass sich dessen Ladungszustand unter Umständen ändern kann.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleiterstruktur mit einer effizienten Abschirmung eines in einer Halbleiterstruktur angeordneten Floating-Gate zu schaffen.

Diese Aufgabe wird durch eine Halbleiterstruktur gemäß Patentanspruch 1 gelöst.

Die erfindungsgemäße Halbleiterstruktur umfasst ein Speicherelement mit einem Floating-Gate, eine Steuerelektrode, die mit dem Floating-Gate kapazitiv gekoppelt ist, wobei an die Steuerelektrode ein Signal zum Ansteuern des Speicherelements anlegbar ist, und eine Abschirmung, die isoliert von dem Floating-Gate angeordnet ist und dasselbe vollständig bedeckt.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, dass sowohl das Floating-Gate als auch die Steuerelektrode während eines Halbleiterherstellungsprozesses derart ausgebildet werden können, dass das Floating-Gate vollständig von einer weiteren leitfähigen Schicht überdeckt und somit abgeschirmt werden kann.

Vorzugsweise wird sowohl das Floating-Gate als auch die Steuerelektrode mit einer leitfähigen Schicht, die vorzugsweise von dem Floating-Gate und von der Steuerelektrode

elektrisch isoliert ist, abgedeckt, wobei die leitfähige Schicht niederohmig, vorzugsweise mit dem Bulk der EEPROM-Zelle (z. B. p-Substrat des NMOS-Transistors oder einer n-Wanne eines PMOS-Transistors) verbunden ist. Da der Bulk des
5 EEPROM zumeist auch mit der Systemmasse (z.B. 0 V) verbunden ist, wird somit auch die leitfähige Schicht mit der Systemmasse verbunden.

Die leitfähige Schicht kann dadurch realisiert werden, dass
10 während des Halbleiterherstellungsprozesses eine zusätzliche leitfähige Schicht eingefügt wird, die das geeignet angeordnete Floating-Gate überdeckt. Zumeist überdecken sich das Floating-Gate und die Steuerelektrode ohnehin zu einem Teil, so dass die leitfähige Schicht (Schirm) lediglich über beiden
15 Elektroden zu liegen braucht.

Werden bei dem Halbleiterherstellungsprozess die Verdrahtungsebenen sowie das Floating-Gate und die Steuerelektrode in einer vorbestimmten Positionsbeziehung zueinander angeordnet, so kann ferner auf eine Ausbildung einer zusätzlichen leitfähigen Schicht verzichtet werden, da der Schirm dann durch eine Verdrahtungsebene realisiert werden kann. Da die Verdrahtungsebenen niederohmig sind, weisen sie auch bei
20 Transientenereignissen (beispielsweise dem eigentlichen ESD-Einschlag, „Blitz“) aufgrund der geringen Eindringtiefen eine gute Schirmwirkung auf. Dies ist ein weiterer Grund, warum der Schirm möglichst niederohmig mit dem Bulk eines EEPROM verbunden sein soll.

30 Da es in modernen Halbleitertechnologien eine ständig steigende Anzahl an Verdrahtungsebenen (Zuleitungsebenen) gibt, ist zu überlegen, welche der Verdrahtungsebenen optimal für eine Realisierung des Schirms geeignet ist. Diese Problematik wird im folgenden diskutiert.

35

Ist die Steuerelektrode derart ausgebildet, dass sie unter dem Floating-Gate liegt (siehe Fig. 7), so stellt sich eine

nennenswerte Streukapazität zwischen dem Floating-Gate (insbesondere zwischen dem gegenüber 104a, 104c wesentlich größeren Teil 104b) und den darüberliegenden Verdrahtungsebenen, die den erfindungsgemäßen Schirm bilden, ein. Dies ist jedoch
5 bei einem Programmieren des EEPROMs nachteilig, da diese Streukapazität den Wirkungsgrad der Einkoppelkapazität vermindert, d.h. der Schirm liegt an Masse und hindert mit seiner Streukapazität gegen das Floating-Gate, das Floating-Gate daran einem Programmierpuls an der Steuerelektrode
10 nachzufolgen. Daher ist es tendenziell vorzuziehen, eine obere Verdrahtungsebene, d. h. eine Verdrahtungsebene, deren vertikaler Abstand zu dem Floating-Gate möglichst groß ist, für den Schirm zu verwenden. Der Abstand zwischen der verwendeten Verdrahtungsebene und dem Floating-Gate sollte jedoch
15 noch immer verschwindend klein gegenüber einer Gehäusedicke über dieser Stelle des IC sein, damit die Schirmwirkung hinlänglich gut ist. Andernfalls umgreifen die elektrischen Feldlinien den Schirm und bilden neuerlich eine Streukapazität zwischen beispielsweise einer Fingerspitze bzw. einer
20 ESD-Pistole und dem Floating-Gate.

Ist das Floating-Gate derart ausgebildet, dass es unter der Steuerelektrode liegt (siehe Fig. 8), so ist es in diesem Fall optimal, eine über dem Floating-Gate und über der Steuerelektrode liegende, untere Verdrahtungsebene, d. h. eine
25 Verdrahtungsebene, deren vertikaler Abstand zu dem Floating-Gate möglichst gering ist, für den Schirm zu verwenden, da die in diesem Falle verhältnismäßig größere Streukapazität der unteren Verdrahtungsebene zur Steuerelektrode unerheblich
30 ist. Grund hierfür ist, dass die Steuerelektrode bei dem Programmieren von beispielsweise einer Spannungsquelle angesteuert wird, die diese Streukapazität gegen Masse ohne Schwierigkeiten derart aufladen kann, dass sich eine geeignete Programmierspannung einstellt. Falls jedoch die Streukapazität
35 zwischen 104a und dem Schirm bereits den Einkoppelwirkungsgang der Einkoppelkapazität auf das Floating Gate merklich vermindert, kann es selbst in diesem Fall ratsam sein,

den Schirm in einer höherliegenden Verdrahtungsebene (z.B. 136b, 136c) auszuführen. Dabei ist der Einkoppelwirkungsgrad wie folgt definiert:

$$0 < U_m/U_p < 1.$$

Um das oben erwähnte Umgreifen der Feldlinien um den Schirm zu minimieren, sollte der Schirm jedoch das Floating-Gate und die Steuerelektrode nicht nur bündig abdecken, sondern um einige Mikrometer überstehen. Generell sollte der Schirm wenigstens so weit überstehen, wie ein Normalabstand des Schirms zu dem Floating-Gate der EEPROM-Zelle (also in einer vertikalen Richtung zum Chip) ist.

Ein Vorteil der vorliegenden Erfindung liegt darin, dass durch eine Einfügung einer leitfähigen Schicht während des Halbleiterherstellungsprozesses das Floating-Gate unabhängig von einer räumlichen Ausdehnung der Steuerelektrode gegenüber äußeren Störungen abgeschirmt wird, so dass aufgrund von elektrostatischen Störungen weniger Bitfehler entstehen.

Ein weiterer Vorteil der vorliegenden Erfindung ist darin zu sehen, dass eine gute Abschirmung dem Floating-Gate ohne eine Verteuerung des Halbleiterherstellungsprozesses erzielt werden kann, indem das dem Floating-Gate und die darüberliegenden Verdrahtungsebenen bereits während des Herstellungsprozesses derart angeordnet werden, dass das dem Floating-Gate von einer oder von mehreren Verdrahtungsebenen abgeschirmt wird.

Obwohl oben primär eine elektrostatische Abschirmung angesprochen wurde, ist es ebenfalls erforderlich, transiente (d.h. elektromagnetische) Felder durch eine Abschirmung von dem Floating-Gate fernzuhalten, was durch die erfindungsgemäße Abschirmung ebenfalls erreicht wird.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

- 5 Fig. 1 eine Prinzipskizze einer EEPROM-Zelle;
- Fig. 2 einen Aufbau einer EEPROM-Zelle;
- 10 Fig. 3 eine Prinzipskizze eines ersten Ausführungsbeispiels einer EEPROM-Zelle gemäß der vorliegenden Erfindung;
- Fig. 4 einen Aufbau einer Halbleiterstruktur gemäß dem in Fig. 3 dargestellten Ausführungsbeispiel;
- 15 Fig. 5 eine Prinzipskizze eines weiteren Ausführungsbeispiels einer EEPROM-Zelle gemäß der vorliegenden Erfindung;
- 20 Fig. 6 einen Aufbau einer Halbleiterstruktur gemäß dem in Fig. 5 dargestellten Ausführungsbeispiel;
- Fig. 7 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung; und
- 25 Fig. 8 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

30 In der nachfolgenden Beschreibung der bevorzugten Ausführungsbeispiele werden Elemente, die bereits anhand der Figuren 1 und 2 erläutert wurden, mit den gleichen Bezugszeichen versehen. Eine erneute Beschreibung dieser Elemente erfolgt nicht. Ferner sind in den Figuren gleiche Elemente mit gleichen Bezugszeichen versehen.

35

Fig. 3 zeigt eine Prinzipskizze der erfindungsgemäßen Halbleiterstruktur. Es ist eine EEPROM-Zelle 100 gezeigt, wie sie

bereits anhand der Fig. 1 beschrieben wurde. Wie zu erkennen ist, ist der Bulk-Anschluss 110 mit einem Potential 134, z.B. Masse, verbunden. Erfindungsgemäß ist eine Abschirmung 136 vorgesehen, die ebenfalls mit dem Potential 132 verbunden ist und das Floating-Gate 104 abschirmt, wie dies schematisch dargestellt ist.

Fig. 4 zeigt ein Ausführungsbeispiel eines Aufbaus einer Halbleiterstruktur gemäß dem in Fig. 3 dargestellten Ausführungsbeispiel. Die Halbleiterstruktur (n-Typ-EEPROM) umfasst, ähnlich wie in Fig. 2, ein Substrat (p-Bulk) 116. In dem Substrat 116 ist der n^+ Source-Bereich 118 und der n^+ Drain-Bereich 120 gebildet. Die in Fig. 2 gezeigten Drain- und Source-Anschlüsse sind in Fig. 2 der Übersichtlichkeit halber nicht dargestellt. Ferner ist in dem Substrat 116 ein erster p^+ Bereich 138 und ein zweiter p^+ Bereich 140 gebildet. Auf dem Substrat 116 ist die Dünnoxidschicht 126 gebildet, die sich auf der Oberfläche des Substrats 116 zwischen dem n^+ Source-Bereich 118 und dem n^+ Drain-Bereich 120 erstreckt.

Das Floating-Gate ist durch eine erste Floating-Gateelektrode 104a, eine zweite Floating-Gateelektrode 104b und eine Verbindungselektrode 104c zwischen der ersten und der zweiten Floating-Gateelektrode gebildet. Die zweite Floating-Gateelektrode 104b ist bezüglich der ersten Floating-Gateelektrode 104a lateral versetzt angeordnet. Die Steuerelektrode 130 ist gegenüberliegend zu der zweiten Floating-Gateelektrode angeordnet, mit einem geringeren vertikalen Abstand zu der Oberfläche des Substrats 116. Zwischen der zweiten Floating-Gateelektrode 104b und der Steuerelektrode 130 ist die Oxidschicht 128 gebildet. Somit ist, wie in Fig. 4 zu erkennen ist, das Floating-Gate - bezogen auf die Oberfläche des Substrats 116 - oberhalb der Steuerelektrode 130 gebildet. Die erste Floating-Gateelektrode 104a, die zweite Floating-Gateelektrode 104b, die Verbindungselektrode 104c, die Steuerelektrode 130 und die Oxidschichten 126, 128 sind

in einem ersten Abschnitt 142 oberhalb des Substrats 142 gebildet.

In einem zweiten Abschnitt 144 oberhalb des ersten Abschnitts 142 ist die Abschirmung 136 angeordnet, die beispielsweise als eine Metallisierungsschicht ausgebildet ist. Die Abschirmung 136 ist derart angeordnet, dass diese alle Abschnitte 104a, 104b, 104c des Floating-Gate vollständig überdeckt und vorzugsweise auch jeweils seitlich überragt. Die Abschirmung 136 ist ferner über eine Verbindung 146 mit dem p^+ Bereich 138 verbunden, der in dem Substrat 116 ausgebildet ist, so dass an die Abschirmung 136 das am Substrat 116 über den Bulk-Anschluss 110, der mit dem Bereich 140 verbunden und nach oben ausgeführt ist, so daß er von der Oberseite her kommend zugänglich ist, anliegende Potential anlegbar ist, wie es in Fig. 3 dargestellt ist. Hierdurch hält die Abschirmung 136 eine elektromagnetische und eine elektrostatische Beeinflussung von dem sensiblen Floating-Gate fern, wobei der leitfähige Bulk (Substrat 116) von unten her eine Abschirmwirkung bereitstellt. Die Steuerelektrode 130 ist über eine Verbindung 148, die sich durch den zweiten Abschnitt 144 erstreckt, mit dem Steueranschluss 102 verbunden.

In dem in Fig. 4 dargestellten Ausführungsbeispiel ist die Abschirmung 136 durchgehend ausgebildet. Für den in Fig. 4 dargestellten Fall, dass das Floating-Gate eine Mehrzahl von Abschnitten 140a, 104b, 104c aufweist, kann die Abschirmung 136 erfindungsgemäß derart ausgebildet werden, dass sie ebenfalls eine Mehrzahl von leitfähigen Bereichen umfasst, die im wesentlichen auf einem gleichen Potential liegen und die Mehrzahl der Abschnitte des Floating-Gate abdecken.

Die EEPROM-Zelle kann in einem Single-Well-CMOS-Prozess mit einer Analogoption durch einen Standard-NMOS-Transistor und beispielsweise einen Standard-Poly-Poly-Kondensator realisiert werden, wenn das Gate des NMOS mit einer der beiden Elektroden des Poly-Poly-Kondensators zum Floating-Gate

verbunden wird. Erfindungsgemäß wird das Floating-Gate derart angeordnet, dass es nach oben hin durch die Abschirmung 136 (eine niederohmige Schicht) vollständig abgedeckt wird. Diese Schicht wird darüber hinaus mit dem Bulk des NMOS (beispiels-

5 weise direkt in einem Substrat realisiert), der von einem Substrat des IC gebildet wird, leitfähig verbunden. Dadurch wird die gespeicherte Ladung an dem Floating-Gate vor ESD- und anderen Spannungsereignissen sowie elektromagnetischen Feldern geschützt, da das Floating-Gate nach oben hin durch

10 die Abschirmung 136 und nach unten hin durch das ebenso leitfähige Substrat 136, beispielsweise ein p-Substrat, das zumeist durch einen noch besser leitfähigen darunterliegenden Zuleitungsrahmen in seiner Schirmwirkung unterstützt wird, elektrostatisch geschirmt wird. Dazu sollte die Abschirmung

15 136 (der Schirm) alle Teile des Floating-Gate abdecken und seitlich hinreichend überragen. Da das p-Substrat 116 üblicherweise auf Bezugspotential gelegt wird, ist diese Forderung damit identisch, dass die Abschirmung 136 ebenfalls auf das Bezugspotential gelegt wird.

20 Analoge Überlegungen gelten auch für eine EEPROM-Zelle, bestehend aus einem PMOS-Transistor unter Verwendung von einem n-Substrat (Vertauschung von n- mit p-Dotierung) bzw. einem p-Substrat mit n-Wanne.

25 Fig. 5 zeigt eine Prinzipskizze eines weiteren Ausführungsbeispiels einer EEPROM-Zelle gemäß der vorliegenden Erfindung. Im Unterschied zu dem in Fig. 3 dargestellten Ausführungsbeispiel weist die in Fig. 5 dargestellte EEPROM-Zelle

30 einen Anschluss 150 auf. Der Bulk-Anschluss 110 ist mit dem Anschluss 150 verbunden. Darüber hinaus ist die Abschirmung 136 mit dem Anschluss 150 verbunden, so dass die Abschirmung 136 direkt mit dem Bulk-Anschluss 110 verbunden ist. Über den Anschluss 150 kann sowohl an den Bulk-Anschluss 110 als auch

35 an die Abschirmung 136 ein Potential angelegt werden. Diese Ausführungsform ist daher bei CMOS-Transistoren mit eigener Wanne, die nicht identisch mit Substrat ist, vorteilhaft.

Fig. 6 zeigte einen Aufbau - ähnlich wie in Fig. 4 - einer Halbleiterstruktur gemäß dem in Fig. 5 dargestellten Ausführungsbeispiel. Anders als in Fig. 4 ist in dem Substrat 116 eine n-Wanne 152 (n-Well) gebildet, in der wiederum eine p-Wanne 154 (p-Well) gebildet ist, in der der Source-Bereich 118 und der Drain-Bereich 120, sowie der erste p^+ Bereich 138 gebildet sind. In der n-Wanne 152 ist ferner ein n^+ Bereich 156 gebildet, über den an die n-Wanne 152 ein Potential anlegbar ist, beispielsweise 3 Volt. Über den ersten p^+ Bereich 138 kann an die p-Wanne und damit auch an die Abschirmung 136 ein Potential angelegt werden, wie dies durch den Anschluss 150 schematisch gezeigt ist. Dadurch, dass die Abschirmung 136 und der p-Wannen-Anschluss 150 auf dem gleichen Potential liegen, wird erreicht, dass das Floating-Gate 104 sowohl von der Abschirmung 136 als auch von der p-Wanne 154 abgeschirmt wird.

Der wesentliche Unterschied zwischen den in Fig. 3 und in Fig. 5 gezeigten Ausführungsbeispielen besteht darin, dass bei dem Ausführungsbeispiel gemäß Fig. 5 über das gemeinsame Potential von p-Wanne 154 und Abschirmung 136 frei verfügt werden kann, während bei dem Ausführungsbeispiel gemäß Fig. 3 das gemeinsame Potential identisch mit Masse ist.

Dadurch, dass die p-Wanne 154 das aus den Abschnitten 104a, 104b, 104c gebildete Floating-Gate von unten her abdeckt, wird erreicht, dass das Floating-Gate zwischen der Abschirmung 136 und der p-Wanne 154 angeordnet ist, wodurch eine bessere Abschirmung von unten her erreicht wird.

Erfindungsgemäß wird das nach oben hin zugängliche dem Floating-Gate 104 durch eine niederohmige Schicht (Abschirmung 136) vorzugsweise vollständig abgedeckt und diese Schicht wird mit dem Substrat 116 bzw. einer p-Wanne 154 verbunden. Dadurch wird die gespeicherte Ladung an dem Floating-Gate 104 vor ESD- und anderen Hochspannungsereignissen geschützt, da

das Floating-Gate 104 nach oben hin durch die Abschirmung 136, nach unten hin durch das ebenso leitfähige Substrat bzw. die p-Wanne geschirmt ist. Dazu sollte vorzugsweise die Abschirmung 136 alle Teile des Floating-Gate 104 abdecken und
5 seitlich hinreichend überragen. Vorzugsweise wird im Falle einer p-Wanne diese derart erweitert, dass alle Teile des Floating-Gate 104 von der Unterseite gesehen abdeckt werden.

10 In Fig. 7 ist ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung dargestellt. Im Unterschied zu dem in Fig. 4 dargestellten Ausführungsbeispiel, weist die in Fig. 7 dargestellte Halbleiterstruktur im zweiten Abschnitt 144 eine Mehrzahl von Metallisierungsebenen oder Zuleitungsebenen 136a bis 136c auf. Es sei an dieser
15 Stelle jedoch darauf hingewiesen, dass eine beliebige Anzahl von Zuleitungsebenen vorgesehen sein kann.

In dem in Fig. 7 dargestellten Ausführungsbeispiel ist das Floating-Gate (Abschnitte 104a, 104b, 104c) über der Steuerelektrode 130 angeordnet, d.h. der vertikale Abstand der
20 Steuerelektrode 130 zu dem Substrat 116 ist kleiner als der Abstand der zweiten Floating-Gateelektrode 104b zu dem Substrat 116. Für eine derartige Anordnung des Floating-Gate 104 ist es vorteilhaft, eine Zuleitungsebene oder Verdrahtungsebene für den Schirm zu verwenden, deren Abstand zu dem Floating-Gate am größten ist, da die Streukapazität zwischen Floating Gate und Schirm klein gehalten werden soll. In dem
25 in Fig. 7 dargestellten Ausführungsbeispiel wird daher die Zuleitungsebene 136c als Abschirmung gewählt, die, wie in
30 Fig. 4, mit dem Substrat 116 verbunden ist.

Bei den Zuleitungsebenen 136a, 136b, 136c handelt es sich um mehrere Elemente, aus denen die Abschirmung gebildet werden kann. Ist beispielsweise die erste Zuleitungsebene 136a
35 derart angeordnet, dass sie nicht optimal zugänglich ist, um eine Verbindung mit dem Substrat 116 herzustellen, so kann beispielsweise die zweite Zuleitungsebene 136b als Abschirme-

lement verwendet werden. Sollte die Ausdehnung einer Zuleitungsebene nicht ausreichend sein, um das Floating-Gate zu überdecken, so können mehrere Zuleitungsebenen oder Abschnitte mehrerer Zuleitungsebenen zusammengeschaltet werden, um
5 eine ausreichende Abdeckung zu erreichen.

Fig. 8 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung. Ähnlich wie in Fig. 7 ist auch hier das Floating-Gate durch die erste Floating-Gateelektrode 104a, die zweite Floating-Gateelektrode 104b und die Verbindungselektrode 104c zwischen der ersten und der zweiten Floating-Gateelektrode gebildet. Die zweite Floating-Gateelektrode 104b ist bezüglich der ersten Floating-Gateelektrode 104a lateral versetzt angeordnet. Die
10
15 Steuerelektrode 130 ist gegenüberliegend zu der zweiten Floating-Gateelektrode angeordnet, jedoch mit einem größeren vertikalen Abstand zu der Oberfläche des Substrats 116. Somit ist das Floating-Gate - bezogen auf die Oberfläche des Substrats 116 - unterhalb der Steuerelektrode gebildet.

20

In diesem Fall ist jedoch - anders als in Fig. 7 - die erste Zuleitungsebene 136c, deren Abstand zu der Steuerelektrode 130 am kleinsten ist, mit dem Substrat 116 verbunden.

25

An dieser Stelle sei darauf hingewiesen, dass die im vorhergehenden anhand eines n-Typ-EEPROM erörterten Ausführungsbeispiele analog für ein p-Typ-EEPROM gelten, wobei dann die Source- und Drain-Bereiche p-dotiert und entweder in einem n-Substrat oder in einer n-Wanne in einem p-Substrat gebildet
30 wären.

Patentansprüche

1. Halbleiterstruktur mit folgenden Merkmalen:

5 einem Speicherelement (100), das ein Floating-Gate (104;
104a, 104b, 104c) umfasst;

einer Steuerelektrode (130), die mit dem Floating-Gate (104;
104a, 104b, 104c) kapazitiv gekoppelt ist, wobei an die
10 Steuerelektrode (130) ein Signal zum Ansteuern des Spei-
cherelements anlegbar ist; und

einer Abschirmung (136), die isoliert von dem Floating-Gate
(104; 104a, 104b, 104c) angeordnet ist und dasselbe großteils
15 bedeckt.

2. Halbleiterstruktur gemäß Anspruch 1, die ein Substrat
(116) und einen darauf gebildeten Abschnitt (142) umfasst, in
denen das Speicherelement (100) und die Steuerelektrode (130)
20 angeordnet sind, wobei die Abschirmung (136) oberhalb des
Floating-Gates (104; 104a, 104b, 104c) angeordnet ist.

3. Halbleiterstruktur gemäß Anspruch 2, bei der das Steuer-
element (100) zumindest teilweise in dem Substrat (116) oder
25 in einer Wanne (154) in dem Substrat (116) gebildet ist,
wobei an das Substrat und/oder an die Wanne ein Potential
anlegbar ist.

4. Halbleiterstruktur gemäß Anspruch 3, bei der die Abschir-
30 mung (136) mit dem Substrat (116) oder mit der Wanne (154)
gekoppelt ist.

5. Halbleiterstruktur gemäß Anspruch 3, bei der an die
Abschirmung (136) ein Potential anlegbar ist, das an die
35 Wanne (154) in dem Substrat anlegbar ist, wobei das Potenti-
al im wesentlichen das niedrigste Versorgungsspannungspoten-
tial ist, das der Halbleiterstruktur zugeführt ist.

6. Halbleiterstruktur gemäß einem der Ansprüche 1 bis 5, bei der das Floating-Gate (104) eine Mehrzahl von leitfähigen Abschnitten (104a, 104b, 104c) aufweist, wobei sich die
5 Abschirmung (136) über die Mehrzahl von leitfähigen Abschnitten des Floating-Gate (104a, 104b, 104c) erstrecken.

7. Halbleiterstruktur gemäß einem der Ansprüche 3 bis 6, bei der das Substrat (116) und/oder die Wanne (154) das Floating-
10 Gate (104) abschirmt.

8. Halbleiterstruktur gemäß einem der Ansprüche 1 bis 7, die eine Zuleitungsstruktur mit einer Mehrzahl von Ebenen (136a, 136b, 136c) aufweist, die oberhalb des ersten Abschnitts
15 (142) angeordnet sind.

9. Halbleiterstruktur gemäß Anspruch 8, bei der

für den Fall, dass der Abstand der Steuerelektrode (130) zu
20 der Oberfläche des Substrats (116) geringer ist als der Abstand des Floating-Gate (104) zu der Oberfläche des Substrats, die Abschirmung durch eine Zuleitungsebene (136a) gebildet ist, deren Abstand zu dem Floating-Gate (104; 104a, 104b, 104c) am geringsten ist, und

25 für den Fall, dass der Abstand des Floating-Gate (104) zu der Oberfläche des ersten Substrats (116) geringer ist als der Abstand der Steuerelektrode (130) zu der Oberfläche des Substrats (116), die Abschirmung durch eine Zuleitungsebene
30 (136c) gebildet ist, deren Abstand zu dem Floating-Gate (104; 104a, 104b, 104c) am größten ist.

10. Halbleiterstruktur gemäß einem der Ansprüche 1 bis 9, bei der die Abschirmung (136) mit der Steuerelektrode (130)
35 gekoppelt ist.

Zusammenfassung

Halbleiterstruktur mit einer integrierten Abschirmung

- 5 Eine Halbleiterstruktur umfasst ein Speicherelement, das ein Floating-Gate (104a, 104b, 104c) umfasst, eine Steuerelektrode (130), die mit dem Floating-Gate (104a, 104b, 104c) kapazitiv gekoppelt ist, wobei an die Steuerelektrode (130) ein Signal zum Ansteuern des Speicherelements anlegbar ist, sowie
- 10 eine Abschirmung (136), die isoliert von dem Floating-Gate (104a, 104b, 104c) angeordnet ist und dieselbe vollständig überdeckt.

Figur 4

Fig. 3w
Zusammenfassung

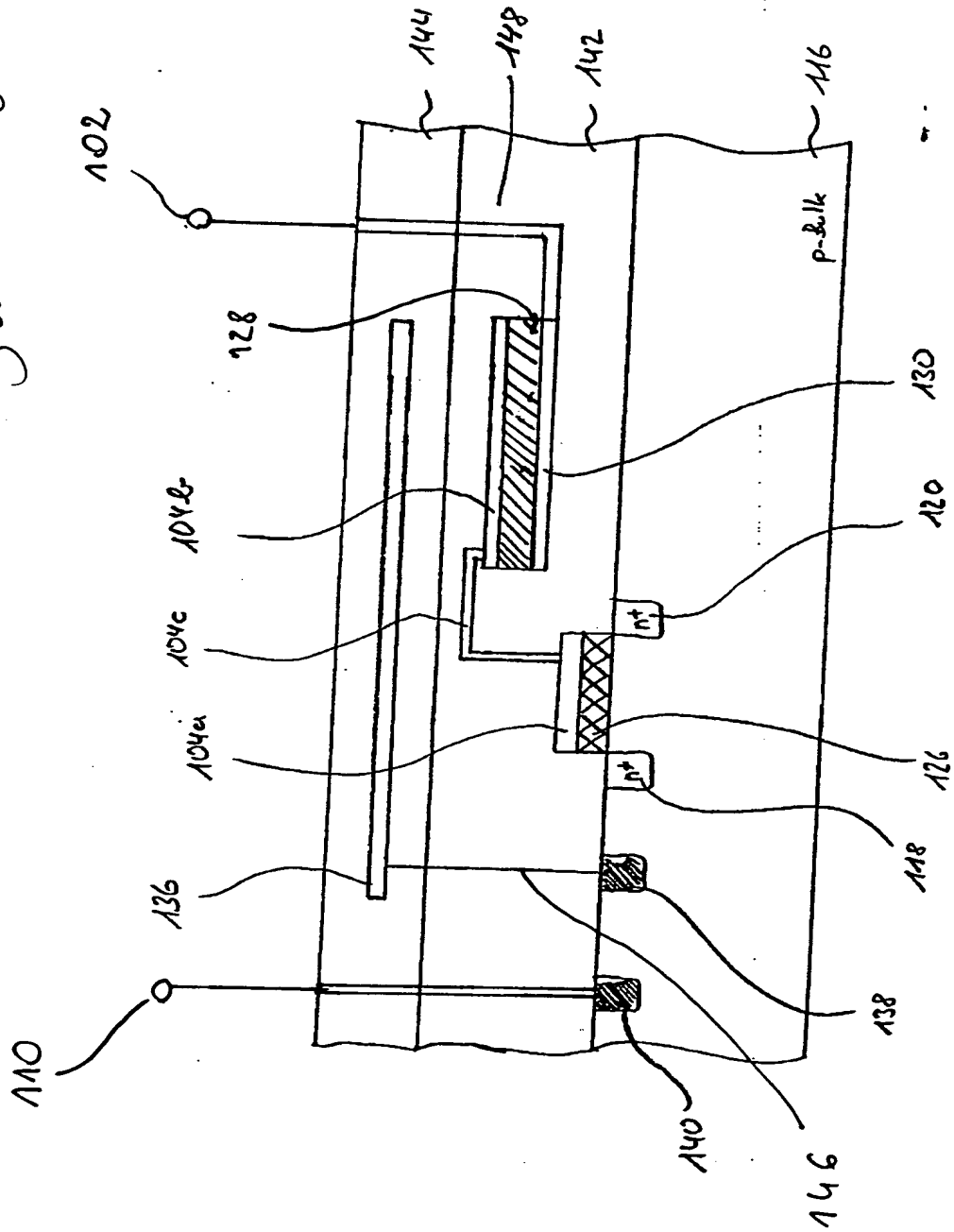


Fig. 4

Bezugszeichenliste

100	EEPROM-Zelle
102	Steueranschluss
104	Floating-Gate
106	Source-Anschluss
108	Drain-Anschluss
110	Bulk-Anschluss
112	Einkoppelkapazität
114	MOS-Kapazität
116	Substrat (Bulk)
118	n ⁺ Source-Bereich
120	n ⁺ Drain-Bereich
122	Kanalbereich
124	erste Oberfläche des Substrats
126	Dünnoxidschicht
128	Oxidschicht
130	Steuerelektrode
132	zweite Oberfläche des Substrats
132	132
134	Potential
136	Abschirmung
138	erster p ⁺ Bereich
140	zweiter p ⁺ Bereich
142	erster Abschnitt oberhalb des Substrats
144	zweiter Abschnitt oberhalb des ersten Abschnitts
146	Verbindung
148	Verbindung
150	Anschluss
152	n-Wanne (n-Well)
154	p-Wanne (p-Well)

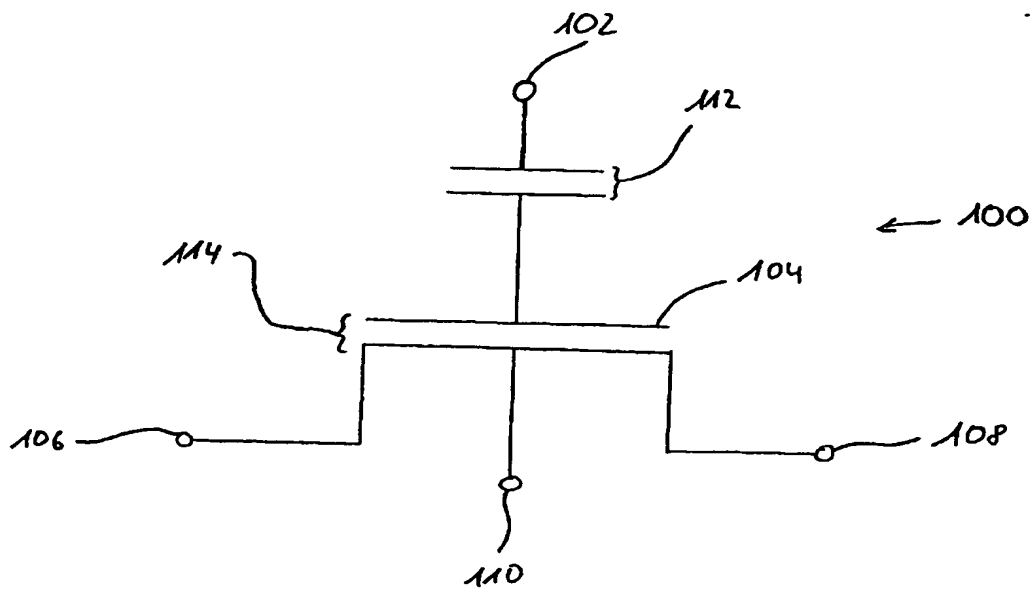


Fig. 1

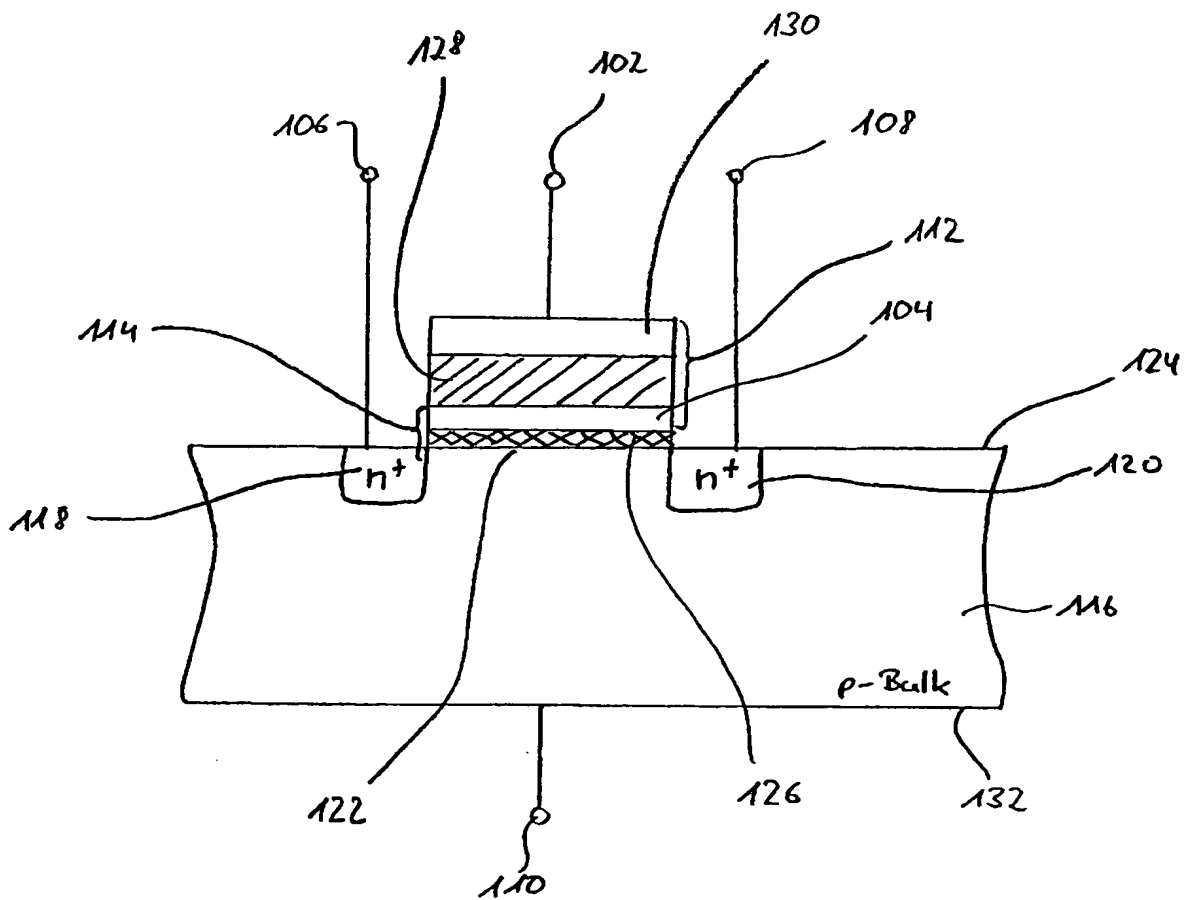


Fig. 2

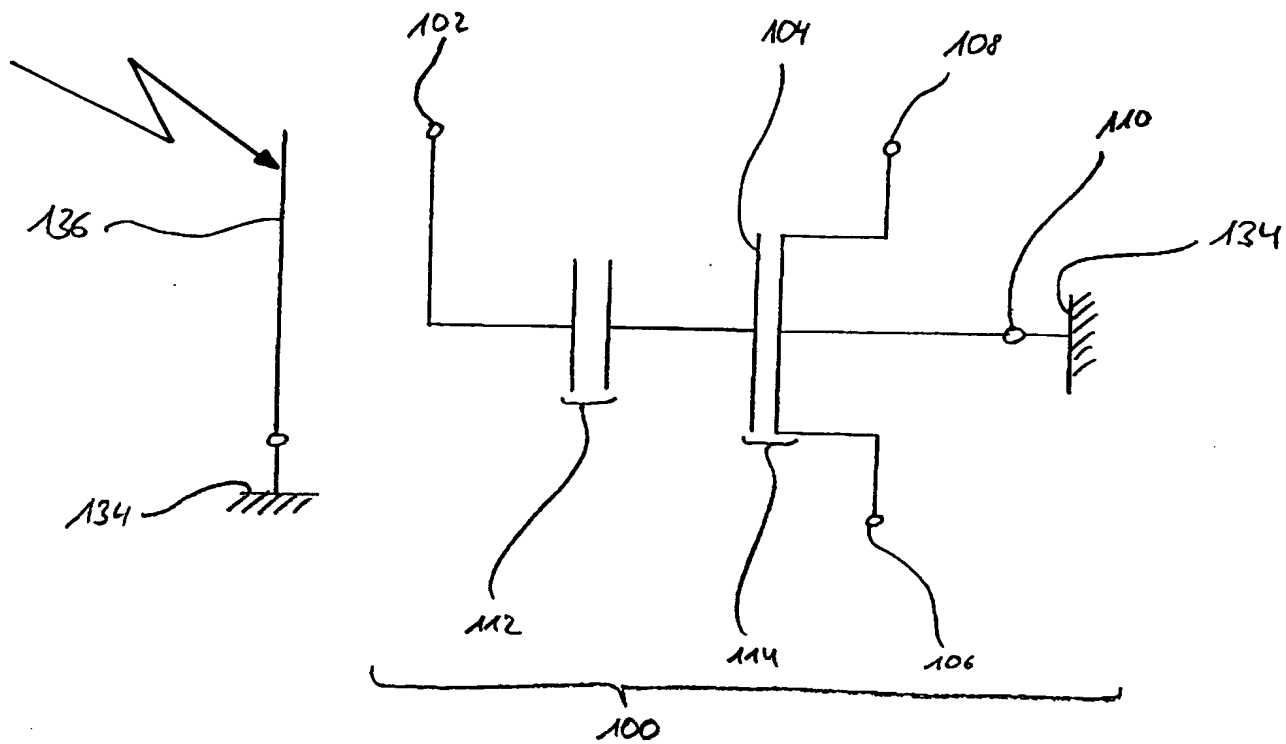


Fig. 3

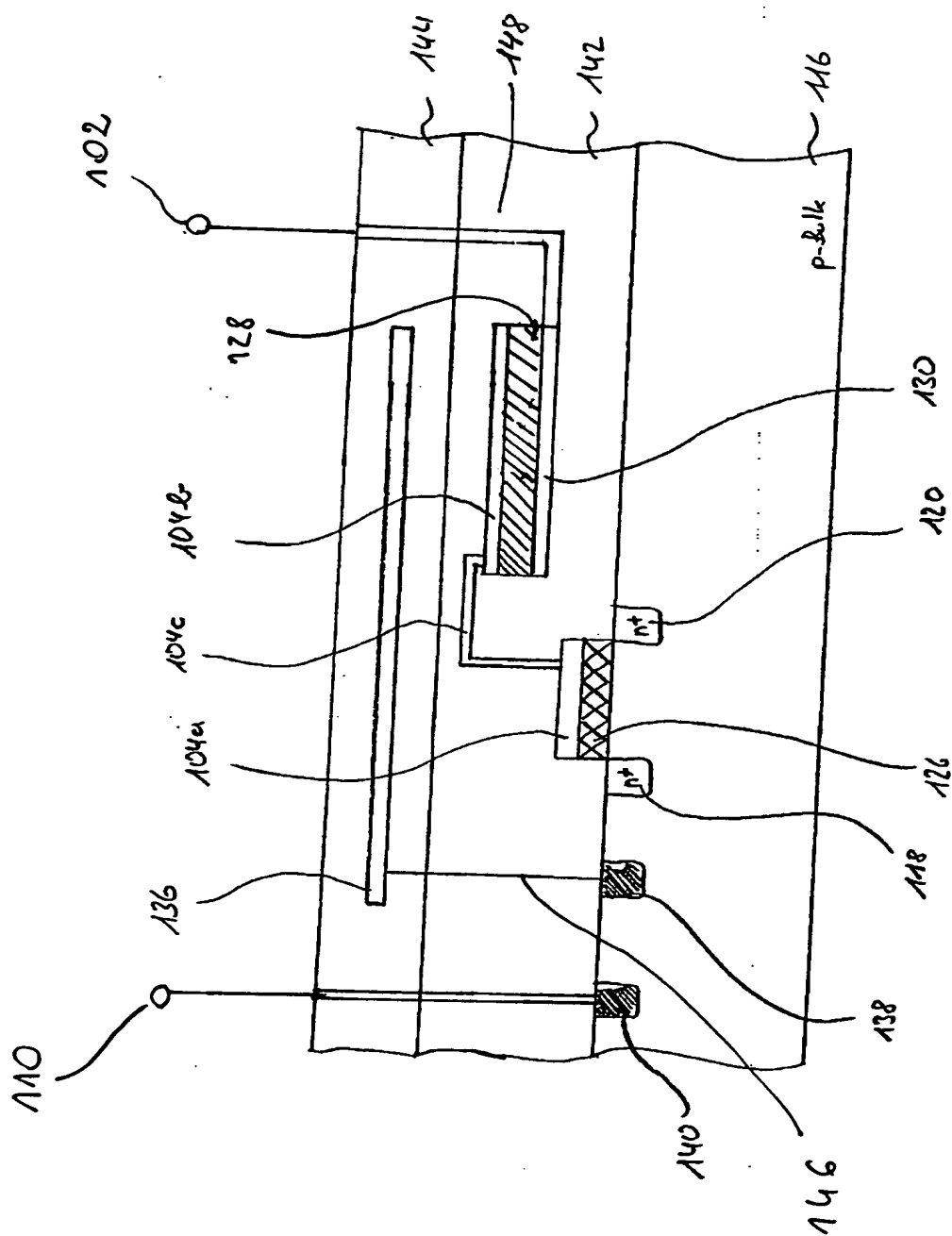


Fig. 4

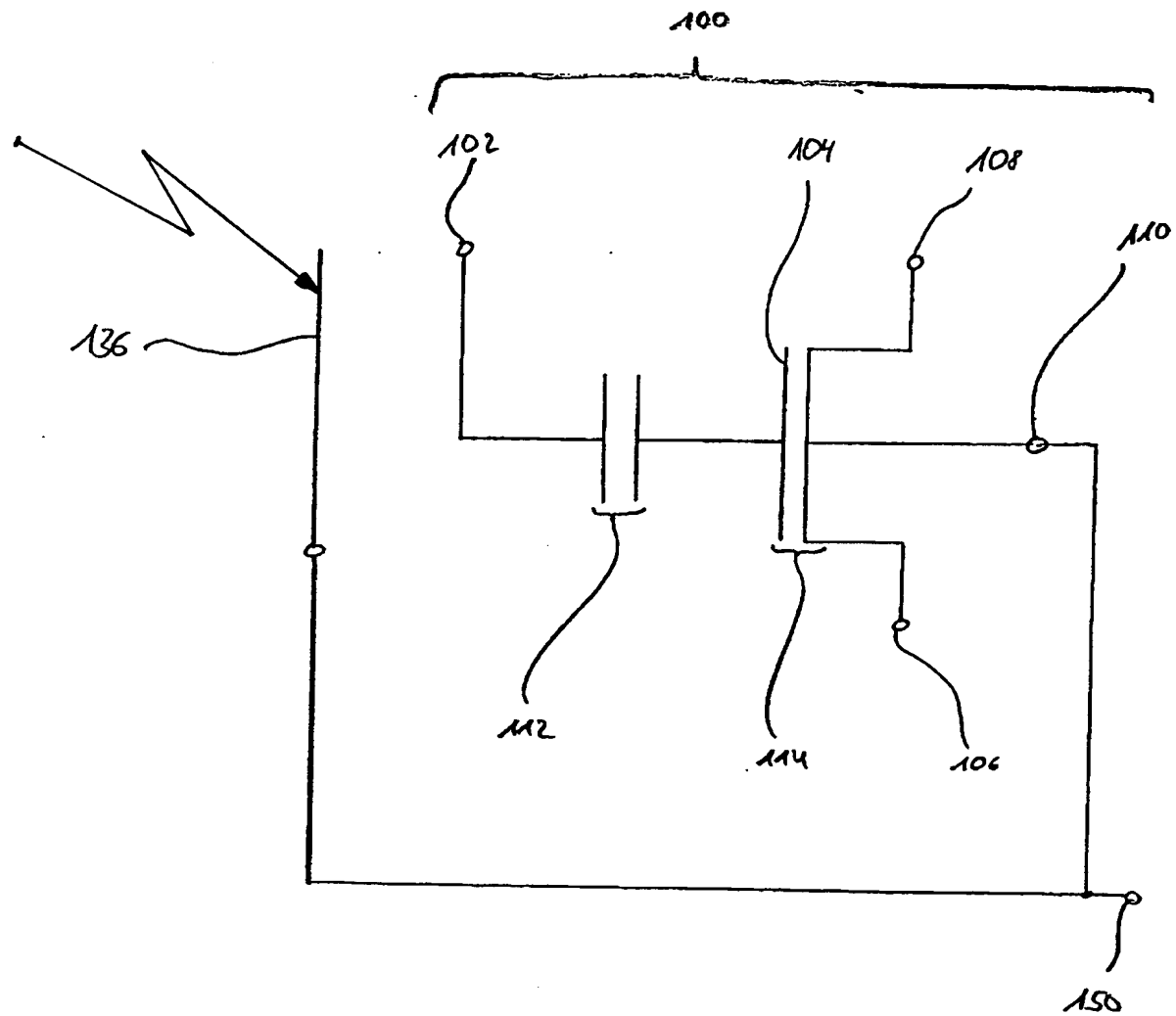


Fig. 5

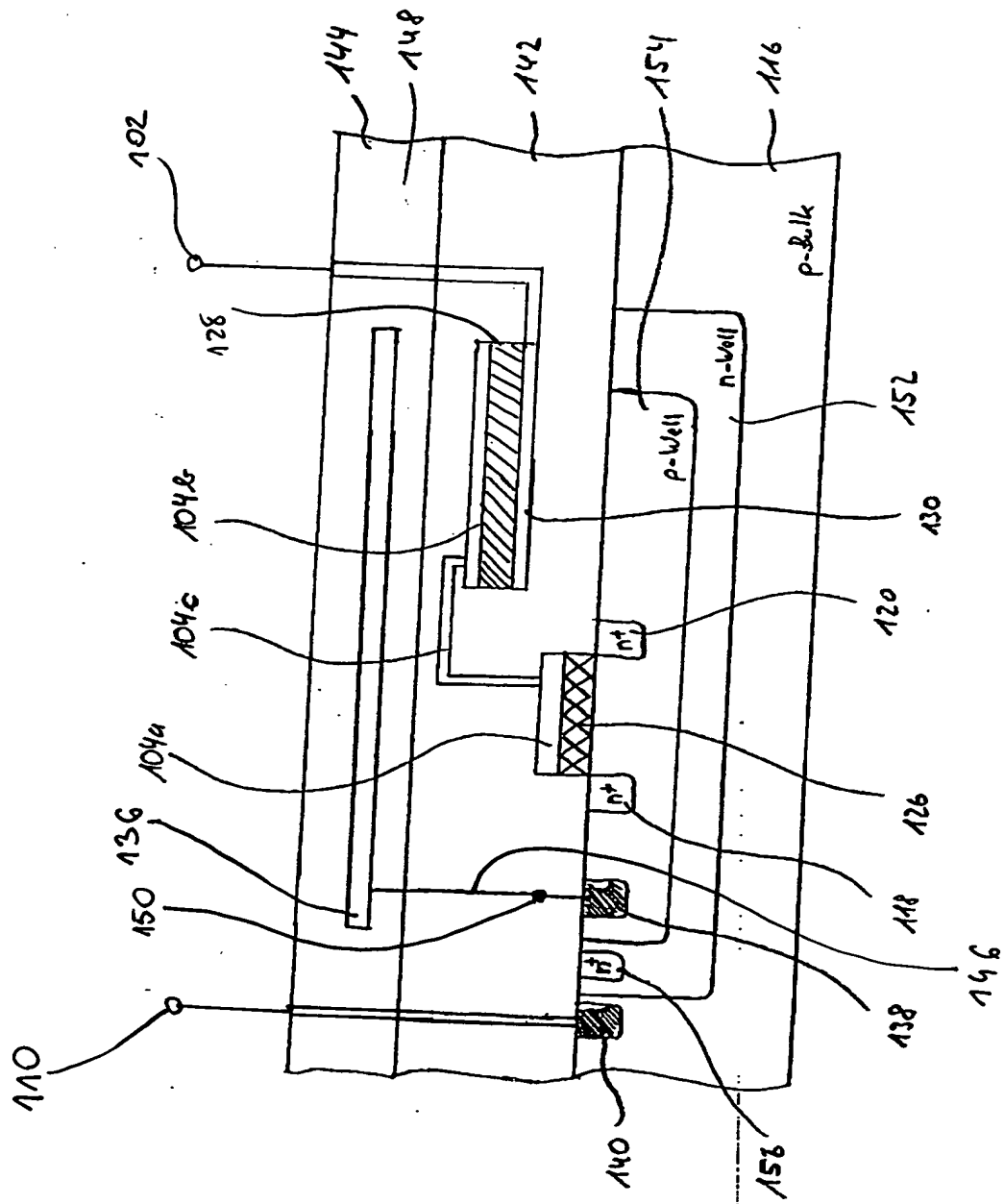
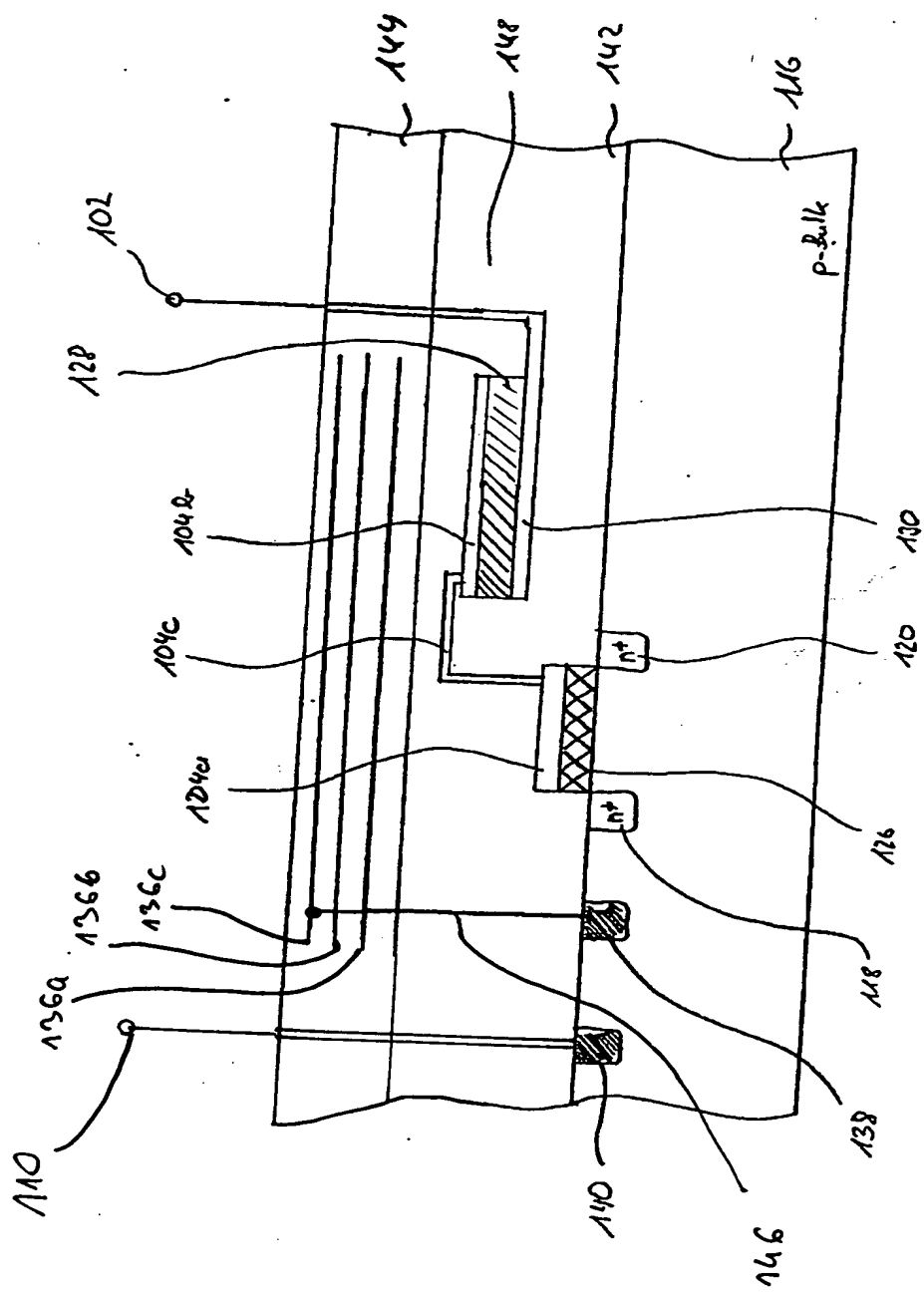


Fig. 6



7 fig.

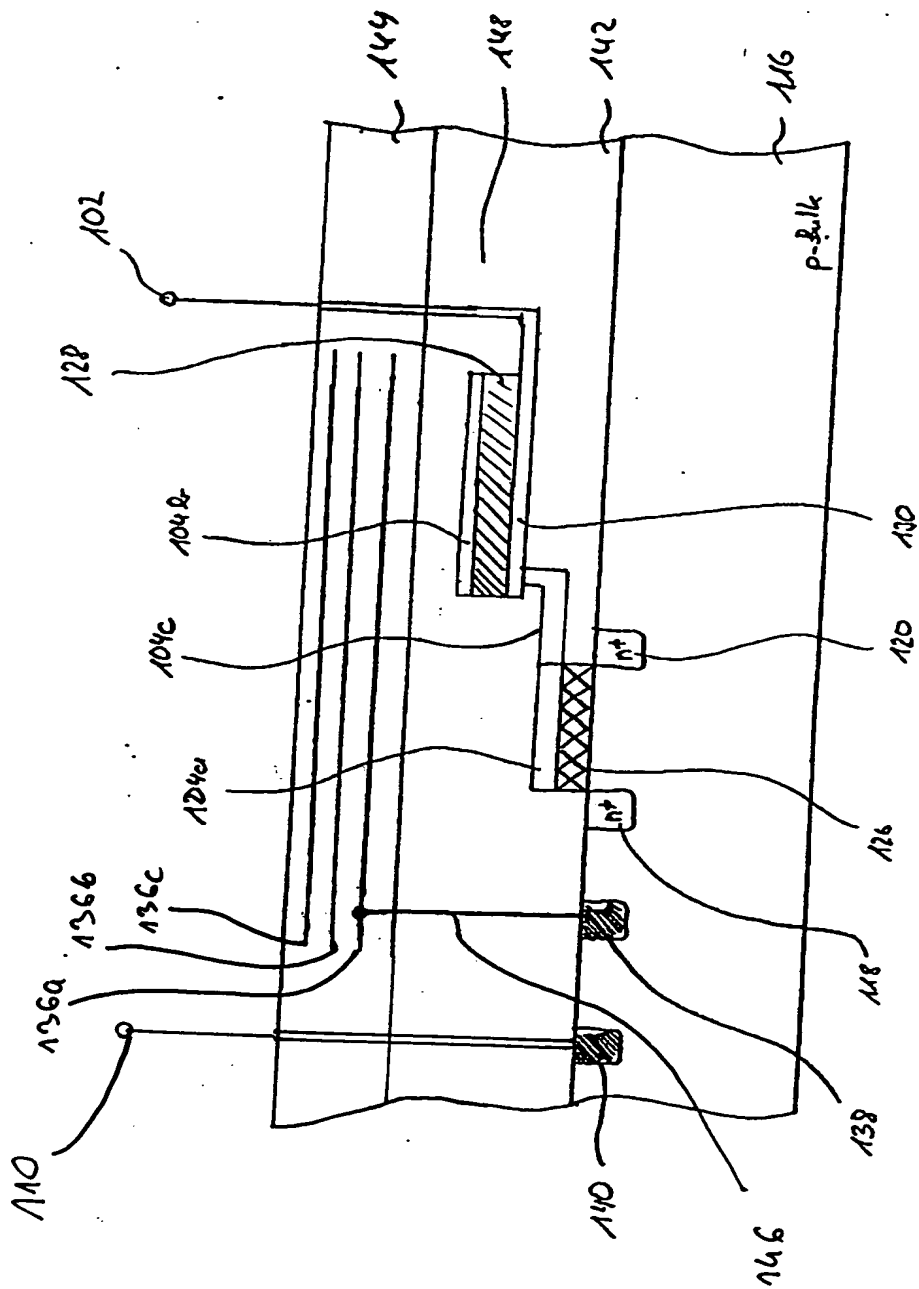


Fig. 8

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.